

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Yoshinori Shimosakoda

Serial No.: [NEW]

Attn: Applications Branch

Filed: February 24, 2004

Attorney Docket No.: OKI.645

For: CLOCK CONTROL CIRCUIT AND CLOCK CONTROL METHOD

**CLAIM OF PRIORITY**

U.S. Patent and Trademark office  
2011 South Clark Place  
Customer Window, **Mail Stop Patent Application**  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Date: February 24, 2004

Sir:

Applicant, in the above-identified application, hereby claims the priority date  
under the International Convention of the following Japanese application:

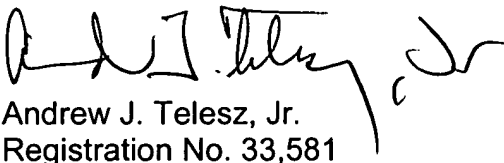
Appln. No. 2003-277766                      filed July 22, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.

  
Andrew J. Telesz, Jr.  
Registration No. 33,581

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   7 月 2 2 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 2 7 7 7 6 6  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 2 7 7 7 6 6 ]

出      願      人            沖 電 気 工 業 株 式 会 社  
Applicant(s):



2 0 0 3 年 1 1 月 2 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 0 9 8 0 6 7

【書類名】 特許願  
【整理番号】 KA003894  
【提出日】 平成15年 7月22日  
【あて先】 特許庁長官 今井 康夫 殿  
【国際特許分類】 H03K 5/00  
【発明者】  
    【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
    【氏名】 下迫田 義則  
【特許出願人】  
    【識別番号】 000000295  
    【氏名又は名称】 沖電気工業株式会社  
【代理人】  
    【識別番号】 100086807  
    【弁理士】  
    【氏名又は名称】 柿本 恭成  
【手数料の表示】  
    【予納台帳番号】 007412  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9001054

**【書類名】 特許請求の範囲****【請求項 1】**

中央処理装置に供給するクロック信号の制御を行うクロック制御回路であって、

動作制御信号によって発振動作が制御され、通常動作モードで使用する高速クロックを発生する高速クロック源と、

前記高速クロックよりも周波数の低い低速クロックを常時発生する低速クロック源と、

選択信号に従って前記高速クロックまたは低速クロックのいずれか一方を選択して前記中央処理装置に出力するセレクタと、

モード信号で待機モードが指定されたときに、前記高速クロック源を停止させるための前記動作制御信号を出力し、割込信号が与えられたときには、該高速クロック源を動作させるための前記動作制御信号を出力する第 1 の制御部と、

前記モード信号で待機モードが指定されたときに、前記低速クロックを選択させるための前記選択信号を出力し、前記割込信号が与えられたときに、前記低速クロックのカウントを開始してそのカウント値がレジスタに設定された値に達したときに前記高速クロックを選択させるための前記選択信号を出力する第 2 の制御部とを、

備えたことを特徴とするクロック制御回路。

**【請求項 2】**

複数の割込要因信号の中から任意の単数または複数の信号を選択し、その選択した信号のいずれかに割込要因が生じたときに、前記割込信号を出力する割込信号制御部を設けたことを特徴とする請求項 1 記載のクロック制御回路。

**【請求項 3】**

前記高速クロック源は、複数の周波数の中から 1 つの高速クロックを選択して出力することができるよう構成したことを特徴とする請求項 1 または 2 記載のクロック制御回路。

**【請求項 4】**

動作制御信号によって発振動作が制御され、通常動作モードで使用する高速クロックを発生する高速クロック源と、前記高速クロックよりも周波数の低い低速クロックを常時発生する低速クロック源とを備えたクロック制御回路によって中央処理装置に供給するクロック信号を制御するクロック制御方法において、

モード信号で待機モードが指定されたときには、前記高速クロック源を停止させると共に、前記低速クロックを選択して前記クロック信号として出力し、

割込信号が与えられたときには、該高速クロック源を動作させると共に、前記低速クロックのカウントを開始してそのカウント値が設定値に達したときに前記高速クロックを選択して前記クロック信号として出力する、

ことを特徴とするクロック制御方法。

**【書類名】 明細書****【発明の名称】 クロック制御回路とクロック制御方法****【技術分野】****【0001】**

本発明は、システム L S I の動作状態に応じて高速クロックと低速クロックを切替えて供給するクロック制御回路とクロック制御方法に関するものである。

**【背景技術】****【0002】**

【特許文献 1】 特開平 10-145446 号公報

**【0003】**

前記特許文献 1 には、携帯端末における低消費電力化のために、中央処理装置（以下、「CPU」という）2 での処理が必要ないときに、この CPU 2 に供給する動作クロックを停止するクロック制御部 1 が記載されている。

**【0004】**

このクロック制御部 1 は、発振回路 4 に対して発振の開始や停止を制御する発振停止／復帰制御回路 1-1、この発振回路 4 から出力されるクロック信号を CPU 2 へ出力するか否かを制御するクロック供給制御回路 1-2、及び割込信号で起動されて低周波クロック信号をカウントする発振安定タイマ 1-3 で構成されている。発振安定タイマ 1-3 は、カウント値が一定の値に達したときに、クロック供給制御回路 1-2 に対してクロック信号を CPU 2 へ出力させるための制御信号を出力するものである。

**【0005】**

このような携帯端末では、CPU 2 による処理が終了すると、この CPU 2 から発振停止／復帰制御回路 1-1 に対して、発振回路 4 を停止させるための制御信号が出力される。これにより、発振回路 4 による高速の動作クロックが停止し、この発振回路 4 及び CPU 2 における消費電力が削減される。この間、低周波クロック発振器、タイマ回路及び受信回路等は動作を継続し、所定の時間が経過したときや基地局等からの制御信号を受信した時には、割込信号が出力されて発振停止／復帰制御回路 1-1 と発振安定タイマ 1-3 に与えられる。

**【0006】**

発振停止／復帰制御回路 1-1 では、割込信号が与えられると、発振回路 4 に対して発振の開始を指示する。一方、発振安定タイマ 1-3 では、低周波クロック信号のカウントを開始する。そして、発振安定タイマ 1-3 のカウント値が一定の値に達すると、この発振安定タイマ 1-3 からクロック供給制御回路 1-2 に対して発振回路 4 のクロック信号を CPU 2 へ出力させるための制御信号が出力される。これにより、所定の時間が経過して発振動作が安定した発振回路 4 のクロック信号が、CPU 2 へ与えられる。

**【発明の開示】****【発明が解決しようとする課題】****【0007】**

しかしながら、従来のクロック制御部を備えた携帯端末では、次のような課題があった。

CPU 2 での処理が終了すると、この CPU 2 に対するクロック信号を完全に停止させて待機モードに移行するようになっている。しかし、待機モード中であっても、タイマ回路や受信回路等は動作を継続する必要がある。このため、これらのタイマ回路や受信回路は、CPU 2 の動作とは完全に独立して動作するように構成しなければならず、回路構成が複雑化するおそれがあるという問題があった。

**【0008】**

本発明は、待機モード中であっても、CPU に低速クロックを与えることにより、この CPU の低速動作でタイマ処理や受信処理を行わせることが可能なクロック制御回路を提供するものである。

**【課題を解決するための手段】**

**【0009】**

前記課題を解決するために、第1～第3の発明は、CPUに供給するクロック信号の制御を行うクロック制御回路を、動作制御信号によって発振動作が制御され、通常動作モードで使用する高速クロックを発生する高速クロック源と、前記高速クロックよりも周波数の低い低速クロックを常時発生する低速クロック源と、選択信号に従って前記高速クロックまたは低速クロックのいずれか一方を選択して出力するセレクタと、モード信号で待機モードが指定されたときに、前記高速クロック源を停止させるための前記動作制御信号を出力し、割込信号が与えられたときには、該高速クロック源を動作させるための前記動作制御信号を出力する第1の制御部と、前記モード信号で待機モードが指定されたときに、前記低速クロックを選択させるための前記選択信号を出力し、前記割込信号が与えられたときに、前記低速クロックのカウントを開始してそのカウント値がレジスタに設定された値に達したときに前記高速クロックを選択させるための前記選択信号を出力する第2の制御部とで構成している。

**【0010】**

第4の発明は、動作制御信号によって発振動作が制御され、通常動作モードで使用する高速クロックを発生する高速クロック源と、前記高速クロックよりも周波数の低い低速クロックを常時発生する低速クロック源とを備えたクロック制御回路によって、CPUに供給するクロック信号を制御するクロック制御方法を、モード信号で待機モードが指定されたときには、前記高速クロック源を停止させると共に、前記低速クロックを選択してクロック信号として出力し、割込信号が与えられたときには、該高速クロック源を動作させると共に、前記低速クロックのカウントを開始してそのカウント値が設定値に達したときに前記高速クロックを選択して前記クロック信号として出力するようにしたことを特徴としている。

**【発明の効果】****【0011】**

以上詳細に説明したように、本発明によれば、待機モード時に高速クロック源の動作を停止させる第1の制御部を有しているので、待機モード時の消費電力を低減することができる。また、待機モード時に低速クロックを選択し、割込信号が与えられたときに、低速クロックのカウントを開始してそのカウント値が設定された値に達したときに高速クロックを選択する第2の制御部を有している。従って、待機モード中であっても、CPUに低速クロックを与えることが可能になり、このCPUの低速動作でタイマ処理や受信処理を行わせることができる。更に、割込時には、安定した高速クロックで割込処理が開始されるので、不安定なクロックによる誤動作を防止することができる。

**【発明を実施するための最良の形態】****【0012】**

動作制御信号によって発振動作が制御され、通常動作モードで使用する高速クロックを発生する高速クロック源と、前記高速クロックよりも周波数の低い低速クロックを常時発生する低速クロック源とを設け、モード信号で待機モードが指定されたときには、高速クロック源を停止させると共に、低速クロックを選択してクロック信号としてCPUに出力する。また、割込信号が与えられたときには、高速クロック源を動作させると共に、低速クロックのカウントを開始してそのカウント値が設定値に達したときに高速クロックを選択してクロック信号とCPUに出力する。

**【実施例1】****【0013】**

図1は、本発明の実施例1を示すクロック制御回路の構成図である。

このクロック制御回路は、例えば携帯電話や無線LAN等で、CPU50の動作モードに応じて安定したクロック信号CLKを供給するためのもので、外部からリセット信号RSTと割込信号INTが与えられる2入力の論理和ゲート（以下、「OR」という）11を有している。

**【0014】**

リセット信号 RST は、例えばレベル “H” にすることによって、CPU 50 内部のレジスタ類を初期状態に設定するための信号である。このリセット信号 RST は、例えば電源投入時に、クロック発生源の動作が安定するまで、所定時間だけ “H” となるように、図示しないリセット信号発生部から与えられるようになっている。一方、割込信号 INT は、例えば図示しない受信回路で、基地局からの制御信号を受信したときに、“H” となる信号である。

#### 【0015】

OR 11 の出力側は、セットリセット型のフリップフロップ（以下、「FF」という）12 のセット端子 S に接続され、この FF 12 の出力端子 Q から高速クロック源 13 に対する信号 S12 が出力されている。高速クロック源 13 は、図示したように、例えば 2 入力の否定的論理積ゲート（以下、「NAND」という）を反転増幅器として用い、帰還回路に水晶振動子等を使用して 12 MHz の高速クロック HCK を発生するものである。高速クロック源 13 の NAND の入力端子に、信号 S12 を与えることによって、この高速クロック源 13 の動作を制御することができるようになっている。高速クロック源 13 の出力側は、切替え時にハザードを生じないセクタ（SEL）14 の入力端子 A に接続されている。

#### 【0016】

このクロック制御回路は、低周波クロック源 15 を有している。低周波クロック源 15 は、CPU 50 の動作モードとは無関係に、電源が投入されているときには常に、例えば計時用の 32.768 kHz の低速クロック LCK を出力するもので、この出力側が 2 入力の論理積ゲート（以下、「AND」という）16 の一方の入力側に接続されている。AND 16 の他方の入力側には、レジスタ 17 の出力側が接続され、この AND 16 の出力側がセクタ 14 の入力端子 B に接続されている。

#### 【0017】

レジスタ 17 は、CPU 50 の待機モード時に低速クロック LCK を供給するか否かの設定を、この CPU 50 からの制御信号 C1 に従って行うためのものである。セクタ 14 は、後述する選択信号 SL のレベル “H”、“L” に応じて入力端子 A、B を選択し、その出力端子から CPU 50 に、クロック信号 CLK を供給するものである。

#### 【0018】

リセット信号 RST と選択信号 SL は、OR 18 の入力信号として与えられるようになっている。OR 18 の出力側は、FF 19 のリセット端子 R に接続され、この FF 19 のセット端子 S には、割込信号 INT が与えられるようになっている。FF 19 の出力側は、AND 20 の一方の入力側に接続され、この AND 20 の他方の入力側には、低速クロック源 15 から低速クロック LCK が与えられるようになっている。AND 20 の出力側は、カウンタ 21 のクロック端子 C に接続されている。

#### 【0019】

カウンタ 21 は、例えば、クロック端子 C に与えられる信号の立上がり毎に、カウント値 CNT を 1 ずつカウントアップして出力するもので、このカウンタ 21 の出力側が比較器（CMP）22 の一方の入力側に接続されている。比較器 22 の他方の入力側には、レジスタ 23 の出力信号が与えられている。

#### 【0020】

レジスタ 23 は、CPU 50 からの制御信号 C2 に従って、高速クロック源 13 の起動時の安定時間に対応する値を設定するためのものである。比較器 22 の出力側は、OR 24 の一方の入力側に接続され、この OR 24 の他方の入力側には、リセット信号 RST が与えられるようになっている。OR 24 の出力側は、FF 25 のセット端子 S に接続され、この FF 25 の出力端子 Q から選択信号 SL が出力されるようになっている。

#### 【0021】

一方、CPU 50 は、通常動作モードか待機モードかを示すモード信号 MD を出力する機能を有し手織り、このモード信号 MD がモノステーブル・マルチバイブレータ（以下、「モノマルチ」という）26 に与えられるようになっている。モノマルチ 26 は、例えば

待機モードへの移行時に、モード信号MDが“L”から“H”に立上がったときに、一定時間だけ“H”となるリセット信号RSを出力するものである。リセット信号RSは、FF12、25とカウンタ21のリセット端子Rに与えられるようになっている。

#### 【0022】

図2(a)、(b)は、図1中のセクタ14の一例を示す説明図であり、同図(a)は回路構成図、及び同図(b)は動作のタイムチャートである。

#### 【0023】

図2(a)に示すように、このセクタ14は、2系統のクロックHCK、LCKを選択信号SLに従って切替える構成となっている。101は2入力OR、102-1、102-2は2入力AND、103-1、103-2は入力信号Dとクロック入力CKNと非同期リセット信号RNと出力信号Qを有するリセット入力付きネガティブエッジ動作のDタイプFF(以下、「D-FF」という)、104-1、104-2は入力信号Dとゲート制御信号GNとゲート出力Qを有するロースルーラッチ、105はインバータである。

#### 【0024】

リセット入力付きネガティブエッジ動作D-FF103-1、103-2は、リセット入力RNが“L”の場合出力Qが“L”にリセットされ、クロック入力CKNの立下がりに同期して、出力Qが入力Dをセットする。

#### 【0025】

ロースルーラッチ104-1、104-2は、ゲート制御信号GNが“L”の間はゲート出力Qからは入力信号Dがそのまま出力され、GNが“H”の間はゲート出力Qの値を保持するように動作する。ロースルーラッチ104-1、104-2の入力信号Dには、選択信号SLとインバータ105で反転された選択信号SLNがそれぞれ接続され、ゲート制御信号GNには出力クロック信号CLKが接続される。

#### 【0026】

D-FF103-1、103-2の入力信号Dと非同期リセット信号RNにはそれぞれロースルーラッチ104-1、104-2の出力Qが接続され、クロック信号CKNにはそれぞれクロックHCK、LCKが接続される。

#### 【0027】

また、D-FF103-1、103-2の出力信号Qをそれぞれ、isel1、isel2と称する。2入力AND102-1には、クロックHCKとisel1が接続され、2入力AND102-2には、クロックLCKとisel2が接続される。これらの2入力ANDの出力信号は、2入力OR101の入力信号として接続され、その出力がクロック信号CLKとなる。なお、選択信号SL、SLNは互いに相補的であり、いずれか一方が“H”で他方が“L”となる。

#### 【0028】

このセクタ14は、図2(b)に示すように、まず、SL=“H”(高速クロックHCKが選択されている状態の時に有効となる)、SLN=“L”の状態、クロック信号HCK、LCKが動作状態となっている。この状態では、isel1=“H”、isel2=“L”なので、2入力ANDのうち102-1の回路のみから高速クロックHCKが出力され、2入力OR101からは高速クロックHCKがクロック信号CLKとして出力される。このクロック信号CLKは、ロースルーラッチ104-1、104-2のゲート制御信号GNに入力される。

#### 【0029】

次に、前述の状態から、SL=“L”、SL=“H”(低速クロックLCKを選択する場合に有効となる)に切替わると、高速クロックHCK=“L”の状態の時にクロック信号CLK=“L”となり、ロースルーラッチ104-1の出力Qが“L”となり、D-FF103-1の非同期リセット入力RNが“L”となるので、isel1=“L”と遷移する。この変化は、高速クロックHCK=“L”である期間がHCK=“L”→CLK=“L”→isel1=“L”と変化する時間より短くない限りHCK=“L”の間に実行されるため、次のHCK=“H”の期間がCLKに出力されることはない。また、HCK



= “H” の間は、i s l l = “L” と変化することはないので、最後の高速クロック H C K から出力されるクロック信号 C L K = “H” の期間が短くなることもない。このため、クロックの切替え時に、ハザードのないクロック信号 C L K を出力することができる。

【0030】

図3は、図1の動作を示す信号波形図である。以下、この図3を参照しつつ、図1の動作を説明する。

【0031】

図3の時刻T0において電源が投入されると、図示しないリセット信号発生部から与えられるリセット信号 R S T が、時刻T0からT1までの間、“H”となる。この時、外部から与えられる割込信号 I N T は “L” である。

【0032】

時刻T0における電源投入とリセット信号 R S T により、O R 1 1 から出力される信号 S 1 1 は “H” となり、F F 1 2 がセットされてその出力信号 S 1 2 は “H” となる。これにより、高速クロック源 1 3 の発振動作が開始され、この高速クロック源 1 3 から出力される高速クロック H C K の振幅は、次第に増加して一定時間後に所定の振幅となって安定する。

【0033】

また、リセット信号 R S T が “H” となることにより、O R 2 4 から出力される信号 S 2 4 は “H” となり、F F 2 5 がセットされて選択信号 S L は “H” となる。これにより、セクタ 1 4 では入力端子 A 側が選択され、高速クロック源 1 3 の高速クロック H C K が、クロック信号 C L K として C P U 5 0 に供給される。但し、C P U 5 0 には、“H” のリセット信号 R S T が与えられているので、この間は C P U 5 0 による動作は行われない。

【0034】

時刻T1においてリセット信号 R S T が “L” になると、O R 1 1, 2 4 の出力信号 S 1 1, S 2 4 は “L” となるが、モノマルチ 2 6 から出力されるリセット信号 R S は “L” であるので、F F 1 2, 2 5 はセットされたままで、その信号 S 1 2, S L は “H” のまま変化しない。一方、リセット信号 R S T が “L” になったことにより、C P U 5 0 の動作が開始され、この時点では安定状態となった高速クロック H C K をクロック信号として初期設定等の動作が開始される。この初期設定動作において、レジスタ 1 7, 2 3 に対する制御信号 C 1, C 2 が出力され、これらのレジスタ 1 7, 2 3 に所定の値が設定される。

【0035】

時刻T2において C P U 5 0 における初期設定動作が完了し、通常動作モードでの処理に移行する。

【0036】

時刻T3において、通常動作モードでの処理が終了して待機モードに移行する時に、C P U 5 0 から出力されるモード信号 M D が “L” から “H” に切り替わる。これにより、モノマルチ 2 6 から出力されるリセット信号 R S が一定時間だけ “H” となり、F F 1 2, 2 5 とカウンタ 2 1 がリセットされ、信号 S 1 2 と選択信号 S L が “L” になると共に、カウンタ 2 1 のカウント値 C N T が 0 となる。

【0037】

信号 S 1 2 が “L” になることにより、高速クロック源 1 3 の動作が停止され、選択信号 S L が “L” になることにより、セクタ 1 4 が入力端子 B 側に切替えられる。従って、レジスタ 1 7 が “H” に設定されていれば、低速クロック源 1 5 から出力される低速クロック L C K が、クロック信号 C L K として C P U 5 0 に供給される。また、レジスタ 1 7 が “L” に設定されていれば、C P U 5 0 に対するクロック信号 C L K の供給は停止される。これにより、C P U 5 0 は待機モードに移行する。

【0038】

時刻T4において、例えば受信回路が基地局からの制御信号を受信すると、この受信回

路から出力される割込信号  $INT$  が“H”となる。これにより、 $FF12$ 、 $19$  がセットされ、信号  $S12$ 、 $S19$  は“H”となる。信号  $S12$  が“H”となることにより、高速クロック源  $13$  の発振動作が開始され、高速クロック  $HCK$  の振幅は次第に増加して一定時間後に所定の振幅となって安定する。また、信号  $S19$  が“H”となることにより、カウンタ  $21$  に低速クロック  $LCK$  が与えられ、このカウンタ  $21$  によるカウント動作が開始される。

#### 【0039】

時刻  $T5$  においてカウンタ  $21$  のカウント値  $CNT$  がレジスタ  $23$  に設定された値に一致すると、比較器  $22$  から出力される信号  $S22$  が“H”となり、 $FF25$  がセットされて選択信号  $SL$  は“H”となる。これにより、 $FF19$  がリセットされて、カウンタ  $21$  のカウント動作は停止される。また、セクタ  $14$  が入力端子  $A$  側に切替えられ、高速クロック  $HCK$  がクロック信号  $CLK$  として  $CPU50$  に供給され、この  $CPU50$  によって割込信号  $INT$  に対応する処理が開始される。

#### 【0040】

時刻  $T6$  において、 $CPU50$  から出力されているモード信号  $MD$  が“L”に戻され、更に、この  $CPU50$  から受信回路に対して割込信号  $INT$  を“L”に戻す指示が出力される。これにより、 $CPU50$  は、時刻  $T2$  と同様の通常動作モード状態となる。その後、時刻  $T3 \sim T6$  と同様の動作が繰り返される。

#### 【0041】

なお、通常動作モードで動作中に割込信号  $INT$  が“H”になった場合、 $CPU50$  へのクロック信号  $CLK$  は、引き続き高速クロック  $HCK$  が供給され、このクロック制御回路の状態は変化しない。但し、割込信号  $INT$  は図示しない経路で  $CPU50$  に与えられ、この  $CPU50$  によって割込処理が行われる。

#### 【0042】

以上のように、この実施例  $1$  のクロック制御回路は、待機モード時に低速クロック  $LCK$  を  $CPU50$  に供給するか否かを設定するレジスタ  $17$  とセクタ  $14$  を有している。これにより、待機モード中の  $CPU50$  の処理内容に応じて、この  $CPU50$  に適切なクロック信号  $CLK$  を供給することができるという利点がある。更に、高速クロック源  $13$  の起動から、実際に高速クロック  $HCK$  を  $CPU50$  に供給するまでの時間を設定するレジスタ  $23$  を有しているため、適切なタイミングで安定したクロック信号  $CLK$  によって、 $CPU50$  の動作を行わせることができるという利点がある。また、セクタ  $14$  に、切替え時にハザードを生じない回路構成を採用しているため、クロック切替え時に誤動作を起こすおそれがなく、安定した動作が可能である。

#### 【実施例2】

#### 【0043】

図  $4$  は、本発明の実施例  $2$  を示すクロック制御回路の構成図であり、図  $1$  中の要素と共通の要素には共通の符号が付されている。

#### 【0044】

このクロック制御回路は、図  $1$  のクロック制御回路に割込信号制御部  $30$  を付加すると共に、高速クロック源  $13$  に代えて  $2$  種類の高速度クロックを切替えて出力できる高速クロック源  $40$  を設けている。

#### 【0045】

割込信号制御部  $30$  は、複数の割込要因信号  $INT1$ 、 $INT2$ 、 $\dots$ 、 $INTn$  の中から、任意の信号を割込信号  $INT$  として使用するためのものである。この割込信号制御部  $30$  は、各割込要因信号  $INTi$  ( $i=1 \sim n$ ) に対応して  $2$  入力の  $AND31i$  と、その割込要因信号  $INTi$  を使用するかどうかを設定するレジスタ  $32i$  を設け、これらの  $AND31i$  の出力信号の論理和を割込信号  $INT$  として出力するための、 $n$  入力の  $OR33$  で構成されている。なお、図示していないが、各レジスタ  $32i$  の内容は、 $CPU50$  から自由に設定できるようになっている。

#### 【0046】

一方、高速クロック源 40 は、図 1 中の高速クロック源 13 と同様の発振器 41、この発振器 41 から出力される高速クロック H C 1 を 2 通倍して高速クロック H C 2 を生成する P L L 回路による通倍器 42、及び C P U 50 からの制御信号 C 3 に従って高速クロック H C 1、H C 2 のいずれか一方を選択出力するセクタ 43 で構成されている。その他の構成は、図 1 と同様である。

【0047】

このクロック制御回路の動作は、割込信号制御部 30 内のレジスタ 31 i を設定することによって、任意の単数または複数の割込要因信号 I N T i を実際の割込信号 I N T として使用することができることと、C P U 50 からの制御信号 C 3 によって、高速クロック H C K の速度を選択することができること以外は、図 1 のクロック制御回路と同様である。

【0048】

以上のように、この実施例 2 のクロック制御回路は、割込信号制御部 30 と高速クロック源 40 を有しているので、実施例 1 と同様の利点に加えて、任意の割込要因信号 I N T i を使用することができ、更に動作状態に応じて高速クロック H C K の速度を選択することができるという利点がある。

【産業上の利用可能性】

【0049】

なお、本発明は、上記実施例に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

【0050】

(a) 高速クロック H C K や低速クロック L C K の周波数は、任意である。

【0051】

(b) 図 4 中の高速クロック源 40 は、発振器 41 の出力信号を 2 通倍する通倍器 42 を有しているが、通倍数は任意である。また、通倍器 42 に代えて分周器を使用しても良い。更に、3 種類以上の周波数の中から 1 つを選択できるように構成しても良い。

【0052】

(c) 各信号はアクティブ時を“H”とする論理で説明したが、実際の論理回路は、アクティブ時に“L”となるように構成しても良い。

【0053】

(d) セクタ 14 の回路構成は、図 2 (a) に示したものに限定されない。

【図面の簡単な説明】

【0054】

【図 1】 本発明の実施例 1 を示すクロック制御回路の構成図である。

【図 2】 図 1 中のセクタ 14 の一例を示す回路図である。

【図 3】 図 1 の動作を示す信号波形図である。

【図 4】 本発明の実施例 2 を示すクロック制御回路の構成図である。

【符号の説明】

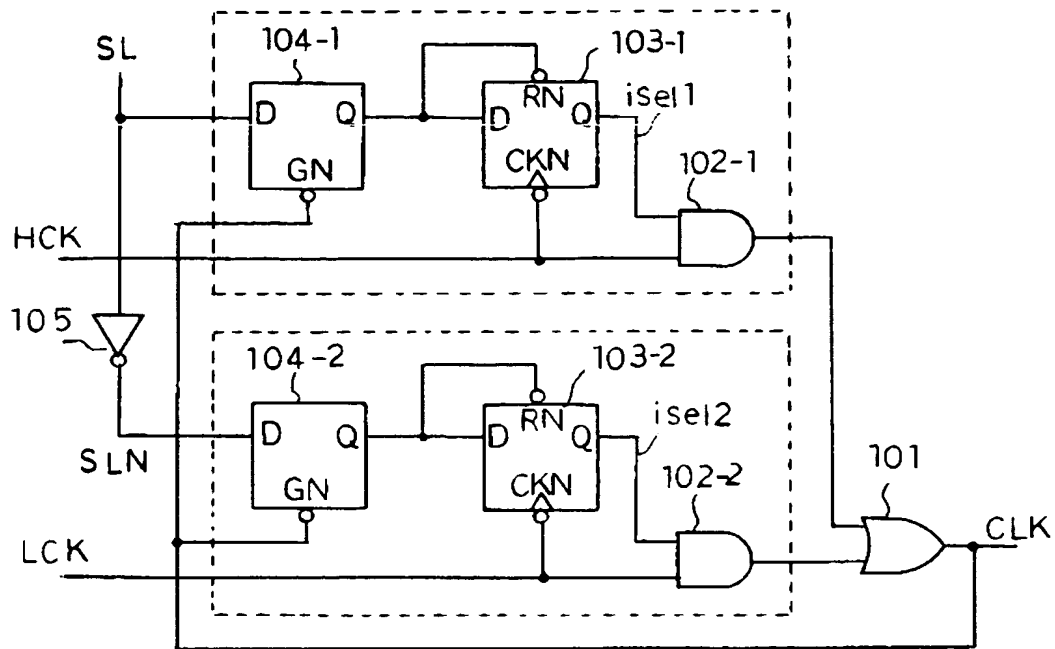
【0055】

11, 18, 24, 33     O R  
12, 19, 25     F F  
13, 40     高速クロック源  
14     セクタ  
15     低速クロック源  
16, 20, 31     A N D  
17, 23, 32     レジスタ  
21     カウンタ  
22     比較器  
26     モノマルチ  
30     割込信号制御部

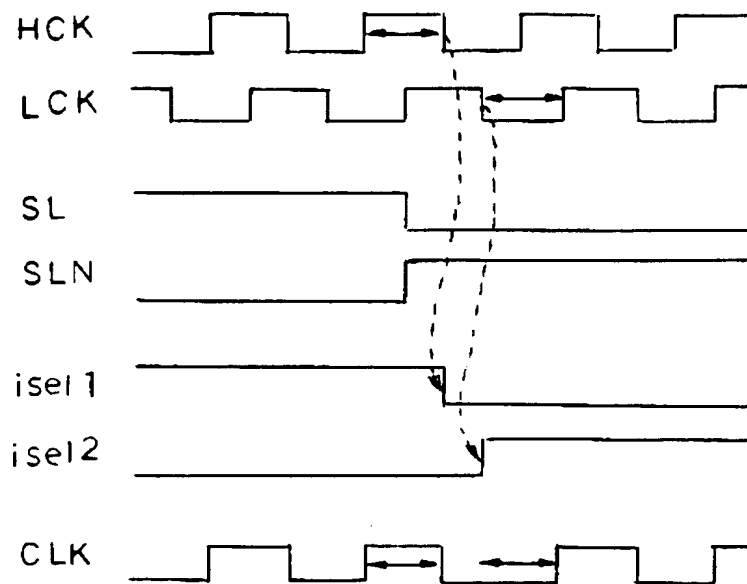
5 0 C P U



【図 2】



(a) 回路構成



(b) 動作

図 1 中のセクタ 14 の一例

【図 3】

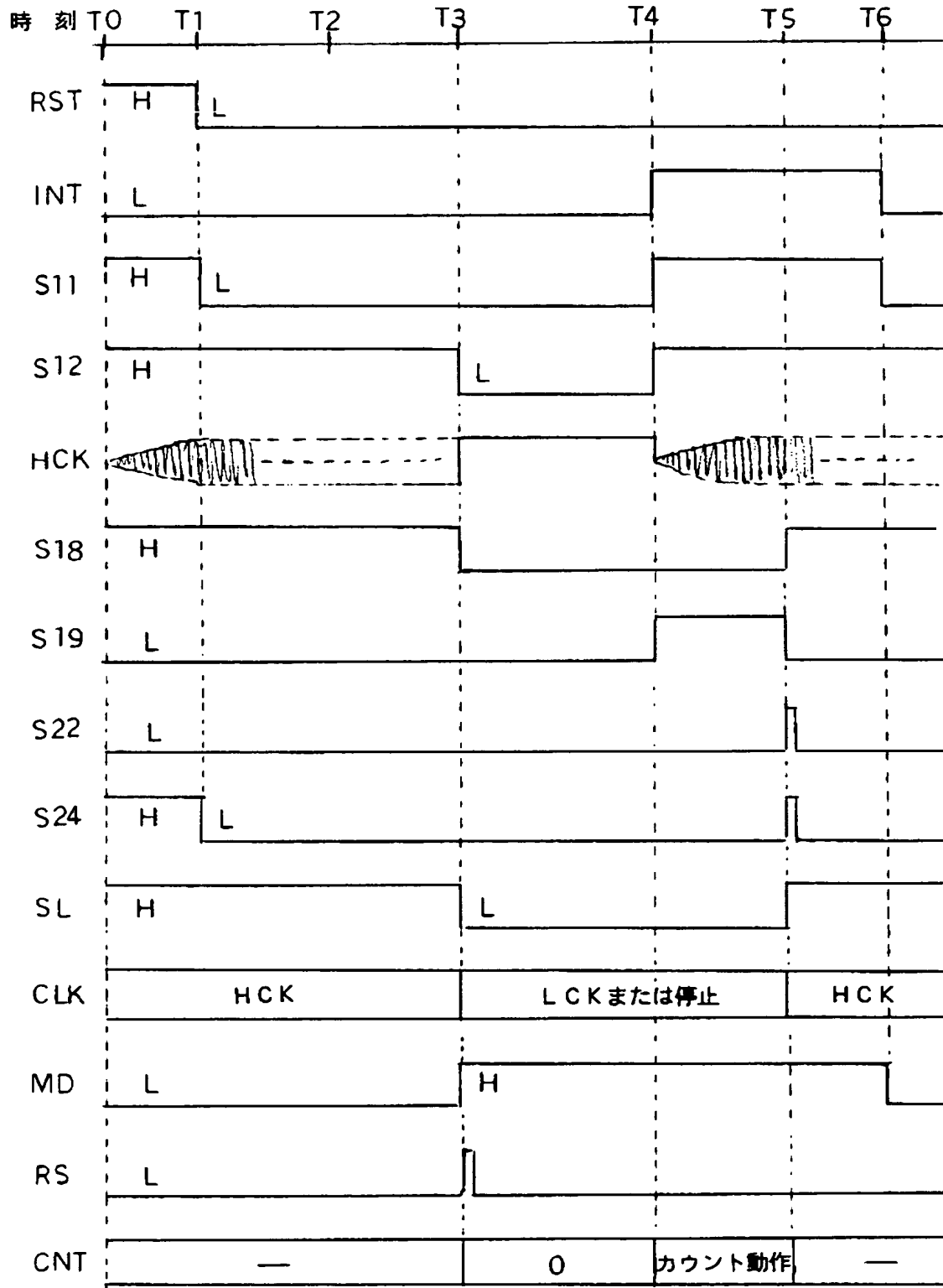
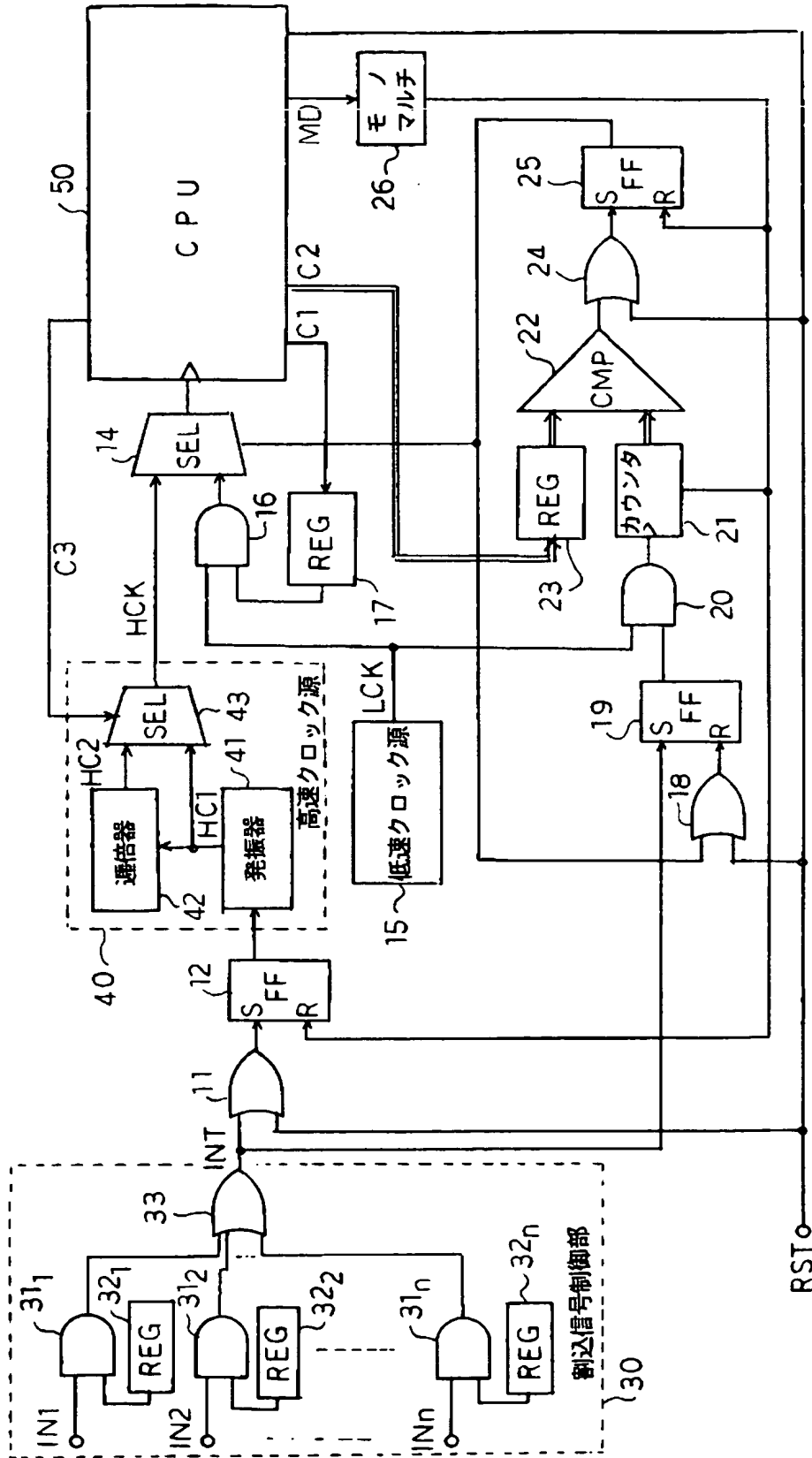


図 1 の動作

【図 4】



本発明の実施例 2 のクロック制御回路



## 【書類名】 要約書

## 【要約】

【課題】 待機モード中に低速クロックを与えることにより、CPUでの低速動作でタイマ処理や受信処理を行わせることを可能にする。

【解決手段】 CPU 50からのモード信号MDで待機モードが設定されると、FF 12, 25がリセットされ、高速クロック源13が停止されると共に、選択信号SLで低速クロックLCKが選択されてクロック信号CLKとしてCPU 50に供給される。これで、CPU 50は待機モードに移行する。割込信号INTが入力されると、FF 12, 19がセットされ、高速クロック源13が起動されると共に、カウンタ21で低速クロックLCKのカウントが開始される。カウンタ21のカウント値CNTがレジスタ23の設定値に達すると、FF 25がセットされて選択信号SLで高速クロックHCKが選択される。これにより、安定した高速クロックHCKがCPU 50に供給され、割込処理が開始される。

。

【選択図】 図 1

特願 2 0 0 3 - 2 7 7 7 6 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社